

Patent Abstracts of Japan

PUBLICATION NUMBER : 05326817
PUBLICATION DATE : 10-12-93

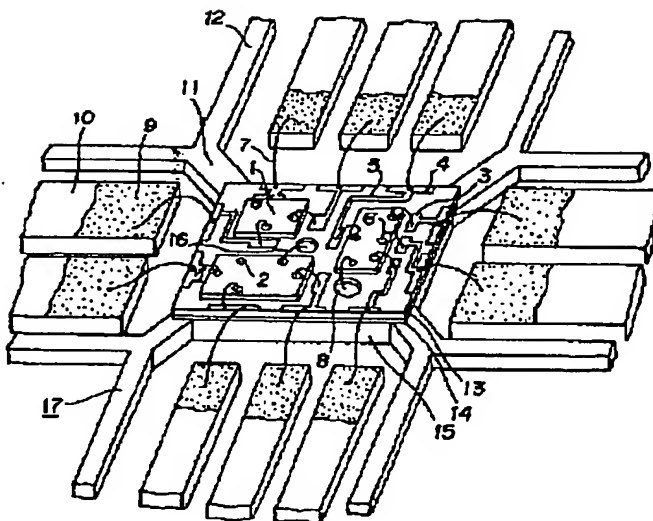
APPLICATION DATE : 26-05-92
APPLICATION NUMBER : 04158808

APPLICANT : HITACHI CABLE LTD;

INVENTOR : WATABIKI TERUYUKI;

INT.CL. : H01L 23/50 H01L 25/04 H01L 25/18

TITLE : MULTICHIP PACKAGE



ABSTRACT : **PURPOSE:** To simplify the wiring structure of a semiconductor chip and a lead conductor while the wiring structure is reduced in weight and thickness.

CONSTITUTION: A lead frame 17, consisting of a tab part 15 connected to the grounding potential through a ground lead 12 and a plurality of signal leads 10, is adhered at least to one surface of a tab part 15, and a hole 8 for earthing is formed in the prescribed position. An insulating tape 13, on which a conductive pattern 5 is formed on the surface, and a number of semiconductor chips 1, which are arranged in the prescribed positions of the insulating tape 13, are provided. A semiconductor chip 1 is connected to the signal lead 10 through the conductive pattern 5, and it is connected to the tab part 15 through the hole 8.

COPYRIGHT: (C)1993,JPO&Japio

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平5-326817

(43) 公開日 平成5年(1993)12月10日

(51) Int.Cl. ⁵	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L 23/50	U	9272-4M		
25/04	X	9272-4M		
25/18				
			H 0 1 L 25/04	Z
			審査請求	未請求 請求項の数2(全5頁)

(21) 出願番号 特願平4-158808

(22) 出願日 平成4年(1992)5月26日

(71) 出願人 000005120

日立電線株式会社

東京都千代田区丸の内二丁目1番2号

(72) 発明者 田中 浩樹

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(72) 発明者 山口 健司

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(72) 発明者 内田 敏浩

茨城県土浦市木田余町3550番地 日立電線

株式会社システムマテリアル研究所内

(74) 代理人 弁理士 平田 忠雄 (外2名)

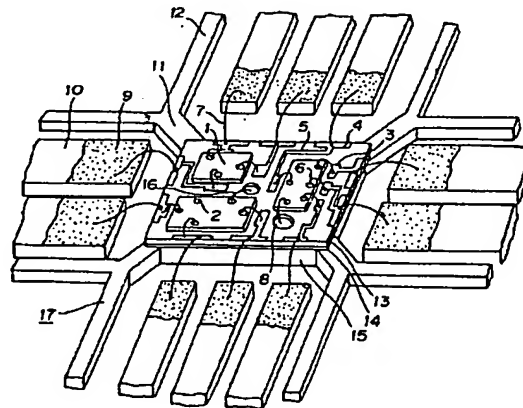
最終頁に続く

(54) 【発明の名称】 マルチチップパッケージ

(57) 【要約】

【目的】 軽量薄型化を図りながら半導体チップとリード導体の配線構造を簡素化すること。

【構成】 グランドリード12を介して接地電位に接続されるタブ部15、及び複数の信号リード10より成るリードフレーム17と、タブ部15の少なくとも片面に貼付され、所定の位置にグランド接続用孔8が形成されていると共に、表面に導体パターン5が形成された絶縁テープ13と、絶縁テープ13の所定の位置に配置された複数の半導体チップ1を備え、半導体チップ1が、導体パターン5を介して信号リード10と接続されていると共に、グランド接続用孔8を介してタブ部15と接続された構成。



【特許請求の範囲】

【請求項1】 グランドリードを介して接地電位に接続されるタブ部、及び複数の信号リードより成るリードフレームと、

前記タブ部の少なくとも片面に貼付され、所定の位置にグランド接続用孔が形成されていると共に、表面に導体パターンが形成された絶縁テープと、

前記絶縁テープの所定の位置に配置された複数の半導体チップを備え、

前記半導体チップが、前記導体パターンを介して前記信号リードと接続されていると共に、前記グランド接続用孔を介して前記タブ部と接続されていることを特徴とするマルチチップパッケージ。

【請求項2】 前記タブ部は、前記グランド接続用孔から露出した部分に、Au、或いはAgのスポットめっきが施され、

前記信号リードは、先端部にAu、或いはAgのスポットめっきが施されている構成の請求項1のマルチチップパッケージ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は半導体素子、受動素子等の複数の半導体チップが搭載されるマルチチップパッケージに関し、特に、軽量薄型化を図りつつ半導体チップとリード導体の配線構造を簡素化したマルチチップパッケージに関する。

【0002】

【従来の技術】 マルチチップパッケージは、複数の半導体素子や受動素子（以下、単に半導体チップという）を一纏めにしてパッケージングしたものであり、例えば、16ビットや32ビットの大きなマイクロプロセッサや、大規模なゲートアレイ、或いは大容量のメモリLSI等と組み合わせて使用される。

【0003】 このように、複数の半導体素子を一纏めにしてパッケージングすると、新たにLSIを開発する場合、汎用の半導体チップを組み合わせることにより、開発コストの低減、及び開発期間の短縮化が図れ、1チップのLSIにすることが技術的に困難な場合、1つの半導体チップを搭載したICパッケージを複数使用するよりも実装面積を小さくでき、樹脂封止後、標準のICパッケージと同様に一般の実装ラインに適用できる等の利点が見られることから、ユーザーにとって手軽な高密度のモジュールとして注目を浴びている。特に、最近では、高密度化を提供する表面実装が普及していることから、このパッケージが注目されている。

【0004】 こういった中で、従来のマルチチップパッケージは、例えば、複数の半導体チップをリードフレームのタブ部に搭載し、リードフレームのリード導体と半導体チップをボンディングワイヤで接続して、更に、タブ部をモールド樹脂で封止して構成されている。このマ

ルチチップパッケージは、リード導体として信号伝送用の信号リードの他に電源リード、グランドリードを有し、電源電位、接地電位のチップへの供給はリード導体を兼用して行っている。

【0005】

【発明が解決しようとする課題】 しかし、従来のマルチチップパッケージによると、ボンディングワイヤを複雑に引き回して信号リード、電源リード、及びグランドリードと複数の半導体チップを接続しているため、配線構造が複雑化するという問題がある。最近、特にリードフレームの微細精密化が進んでいるため、配線を複雑に引き回すと、短絡等が発生する恐れがある。また、セラミック基板やプリント基板を使って配線構造を簡略化することもできるが、その厚さ分だけパッケージが厚くなり、軽量薄型化を図ることができない。

【0006】 従って、本発明の目的は軽量薄型化を図りながら半導体チップとリード導体の配線構造を簡素化することができるマルチチップパッケージを提供することである。

【0007】

【課題を解決するための手段】 本発明は上記問題点に鑑み、軽量薄型化を図りながら半導体チップとリード導体の配線構造を簡素化するため、グランドリードを介して接地電位に接続されるタブ部、及び複数の信号リードより成るリードフレームと、タブ部の少なくとも片面に貼付され、所定の位置にグランド接続用孔が形成されていると共に、表面に導体パターンが形成された絶縁テープと、絶縁テープの所定の位置に配置された複数の半導体チップを備え、半導体チップが、導体パターンを介して信号リードと接続されていると共に、グランド接続用孔を介してタブ部と接続されたマルチチップパッケージを提供するものである。

【0008】 上記絶縁テープとして、ポリイミドテープ等を適用することができ、グランド接続用孔は、例えば、パンチングによって形成され、導体パターンは、例えば、エッチング、或いは蒸着によって形成される。

【0009】 また、グランド接続用孔から露出したタブ部、及び信号リードの先端にAu、或いはAgのスポットめっきを施すと、ワイヤボンディング性を向上させることができる。

【0010】

【作用】 上記構成を有する本発明のマルチチップパッケージによると、半導体チップと信号リードを絶縁テープに形成されたテープ上配線を介して接続し、更に、半導体チップとグランドリードを当該グランドリードと電気的に接続され、且つ絶縁テープの半導体チップの接続部近傍に形成されたバイアホール（接地用孔）から露出したタブ部を介して接続しているため、ボンディングワイヤの複雑な引き回しを行わずに最小限の長さで接続することができ、最も混雑している信号リードの先端部と半

導体チップ間の配線構造を簡素化することができる。また、配線を整理するためにプリント基板やセラミック基板を使用しないため、パッケージの厚さ、重量を抑えることができる。

【0011】

【実施例】以下、本発明のマルチチップパッケージについて添付図面を参照しながら詳細に説明する。

【0012】図1には、本発明の一実施例に係るマルチチップパッケージのモールド工程前の構造が示されている。このマルチチップパッケージは、接地電位に接続されるタブ部15、及び複数の信号リード10を有したリードフレーム17と、タブ部15に接着剤14を介して貼付された絶縁テープ13と、絶縁テープ13の上部に搭載された複数の半導体チップ1より構成されている。

【0013】リードフレーム17は、前述したように、タブ吊り11を介してグランドリード12に接続されたタブ部15と、複数の信号リード（インナーリード）10を有し、信号リード10の先端にはAu、或いはAgのスポットめっき9が施されている。グランドリード12は、グランド配線部であるアウターリード（図示せず）に電気的に接続されている。

【0014】絶縁テープ13は、所定の位置にバイアホール（グランド接続用孔）8が形成されていると共に、表面にテープ上配線（導体パターン）5が形成され、テープ上配線5の両端にはボンディング性を向上させるワイヤボンディングパッド3、4が設けられている。

【0015】複数の半導体チップ1は、信号リード接続用、及びグランドリード接続用のパンプ2をそれぞれ有し、絶縁テープ13の所定の位置に配置されている。信号リード接続用のパンプ2は、ワイヤボンディングパッド3、4を有するテープ上配線5、及びワイヤボンディングパッド3、4にそれぞれ接続されたボンディングワイヤ6、7を介して信号リード10に接続されている。一方、グランドリード接続用のパンプ2は、ボンディングワイヤ16を介してバイアホール8の底部に位置するタブ部15に接続されており、このタブ部15、及びタブ吊り11を介してグランドリード12に電気的に接続されている。

【0016】図2には、図1のマルチチップパッケージの断面構造が示されている。前述したように、タブ部15の一表面には接着剤14を介して絶縁テープ13が貼付されており、複数の半導体チップ1はこの絶縁テープ13の表面の所定の位置に搭載されている。半導体チップ1の信号リード接続用のパンプ2と信号リード10は、絶縁テープ13のテープ上配線5、及びテープ上配線5のワイヤボンディングパッド3、4にそれぞれ接続されたボンディングワイヤ6、7を介して接続されており、半導体チップ1とタブ部15は、バイアホール8に通されるボンディングワイヤ16を介して接続されている。信号リード10の先端にはボンディング性を向上さ

せるためにスポットめっき9が施されているが、必要に応じてバイアホール8から露出したタブ部15の表面に設けても良い。

【0017】以下、上記したマルチチップパッケージの製造方法を説明する。まず、電子部品用として信頼性のあるポリイミドテープ（絶縁テープ13）を用意し、ポリイミドテープの片面にポリエーテルアミドイミド系接着剤を5 μ mの厚さで塗布した後、熱プレスにより3kg/cm²、375℃×1minの条件でプレス成形された厚さ35 μ mのOFC圧延銅箔と貼り合わせる。

【0018】そして、ポリイミドテープの表面に上記接着剤を5 μ mの厚さで塗布し、これを打抜き金型でプレス加工して所定の場所に直径0.4mmの円孔（バイアホール8）を形成する。

【0019】次に、このテープをフォトリソエッチング工程に通して、テープ上に所定の微細な銅配線パターン（テープ上配線5）を100個分形成する。そして、この配線パターンに厚さ0.25 μ mのNiめっき、およびその上に厚さ0.6 μ mのAuめっきを行い、更に、エッチング工程により吸湿したポリイミドテープ、及び接着剤を100℃×60minの条件にて恒温槽で大気中で乾燥させて、絶縁テープ13を得る。

【0020】一方、厚さ0.15mmの42合金板をフォトリソエッチング工程に通して、信号リード10、グランドリード12、及びタブ部15等を有する所定のパターンのリードフレーム17を製造し、このリードフレーム17の信号リード10の先端にワイヤボンディング用の金スポットめっき9を厚さ0.6 μ mで施す。また、タブ部15に絶縁テープ13を貼り合わせたとき、タブ部15のバイアホールに相当する部分にもバイアホールの中心点より半径0.25 μ mの範囲にわたって金スポットめっき9を厚さ0.6 μ mで施す。

【0021】この後、リードフレーム17のタブ部15に絶縁テープ13を3kg/cm²、375℃×1minの条件で貼付する。

【0022】最後に、絶縁テープ13の所定の位置に半導体素子や受動素子等の複数の半導体チップ1を銀ペーストを用いて搭載し、信号リード10と半導体チップ1をテープ上配線5、及びボンディングワイヤ6、7を用いてワイヤボンディングすると共に、半導体チップ1とタブ部15をボンディングワイヤ16を用いてワイヤボンディングし、更に、タブ部15を含む信号リード10の先端部をモールド樹脂で樹脂封止してマルチチップパッケージを得る。

【0023】次に、このようにして得られたマルチチップパッケージを180ピース準備して、(1)高温動作、(2)温度サイクル、(3)85℃/85%RHバイアス、(4)PCTサイクル、(5)半田耐熱、(6)高温放置、(7)低温放置、(8)熱衝撃、(9)VPS（各項目に対して20ピースずつ使用した）といった信頼性試験を行っ

5

た。その結果、パッケージのクラック等の異常は全く認められず、高い信頼性を有していることが判明した。

【0024】また、以上のマルチチップパッケージによると、半導体チップ1と信号リード10を絶縁テープ13に形成されたテープ上配線5を介して接続し、更に、半導体チップ1とグランドリード12を当該グランドリード12と電気的に接続され、且つ絶縁テープ13の半導体チップ1の接続部近傍に形成されたバイアホール8から露出したタブ部15を介して接続しているため、ボンディングワイヤ6、7、16の複雑な引き回しを行わずに最小限の長さで接続することができ、最も混雑している信号リード10の先端部と半導体チップ1の間の配線構造を簡素化することができる。また、配線を整理するためにプリント基板やセラミック基板を使用しないため、パッケージの厚さ、重量を抑えることができる。

【0025】図3には、本発明の第2の実施例に係るマルチチップパッケージのモールド工程前の断面構造が示されている。第1の実施例のマルチチップパッケージは、絶縁テープ13をタブ部15の片面に貼付していたが、このマルチチップパッケージは、絶縁テープ13をタブ部15の両面に貼付しており、これに応じて信号リード10の裏表に金のスポットめっき9が施されている。このような構成によると、搭載できる半導体チップの数を第1の実施例のものより2倍大きくすることができる。尚、ワイヤボンディングは、最初片面から行い、その後裏面を行うようため、最初のボンディングワイヤの変形を防ぐように、ワイヤボンディング装置のステ이지形状に工夫が凝らされている。

【0026】

【発明の効果】以上説明した通り、本発明のマルチチッ

6

ップパッケージによると、グランドリードを介して接地電位に接続されるタブ部、及び複数の信号リードより成るリードフレームと、タブ部の少なくとも片面に貼付され、所定の位置にグランド接続用孔が形成されていると共に、表面に導体パターンが形成された絶縁テープと、絶縁テープの所定の位置に配置された複数の半導体チップを備え、半導体チップが、導体パターンを介して信号リードと接続されていると共に、グランド接続用孔を介してタブ部と接続されているため、軽量薄型化を図りながら半導体チップとリード導体の配線構造を簡素化することができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例を示す説明図。

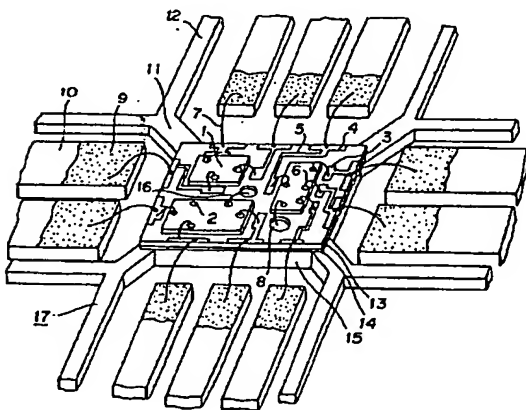
【図2】本発明の第1の実施例を示す断面図。

【図3】本発明の第2の実施例を示す説明図。

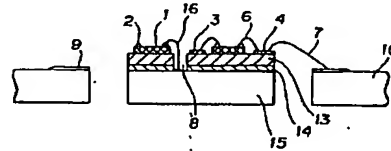
【符号の説明】

1	チップ	2	バンブ
3, 4	ワイヤボンディングパッド	5	テープ上配線
6, 7	ボンディングワイヤ	8	バイアホール
9	めっき	10	インナーリード
11	タブ吊り	12	グランドリード
13	絶縁テープ	14	接着剤
15	タブ部	16	ボンディングワイヤ
17	リードフレーム		

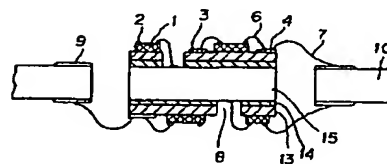
【図1】



【図2】



【図3】



(5)

特開平5-326817

フロントページの続き

(72)発明者 綿引 輝行

茨城県土浦市木田余町3550番地 日立電線
株式会社システムマテリアル研究所内